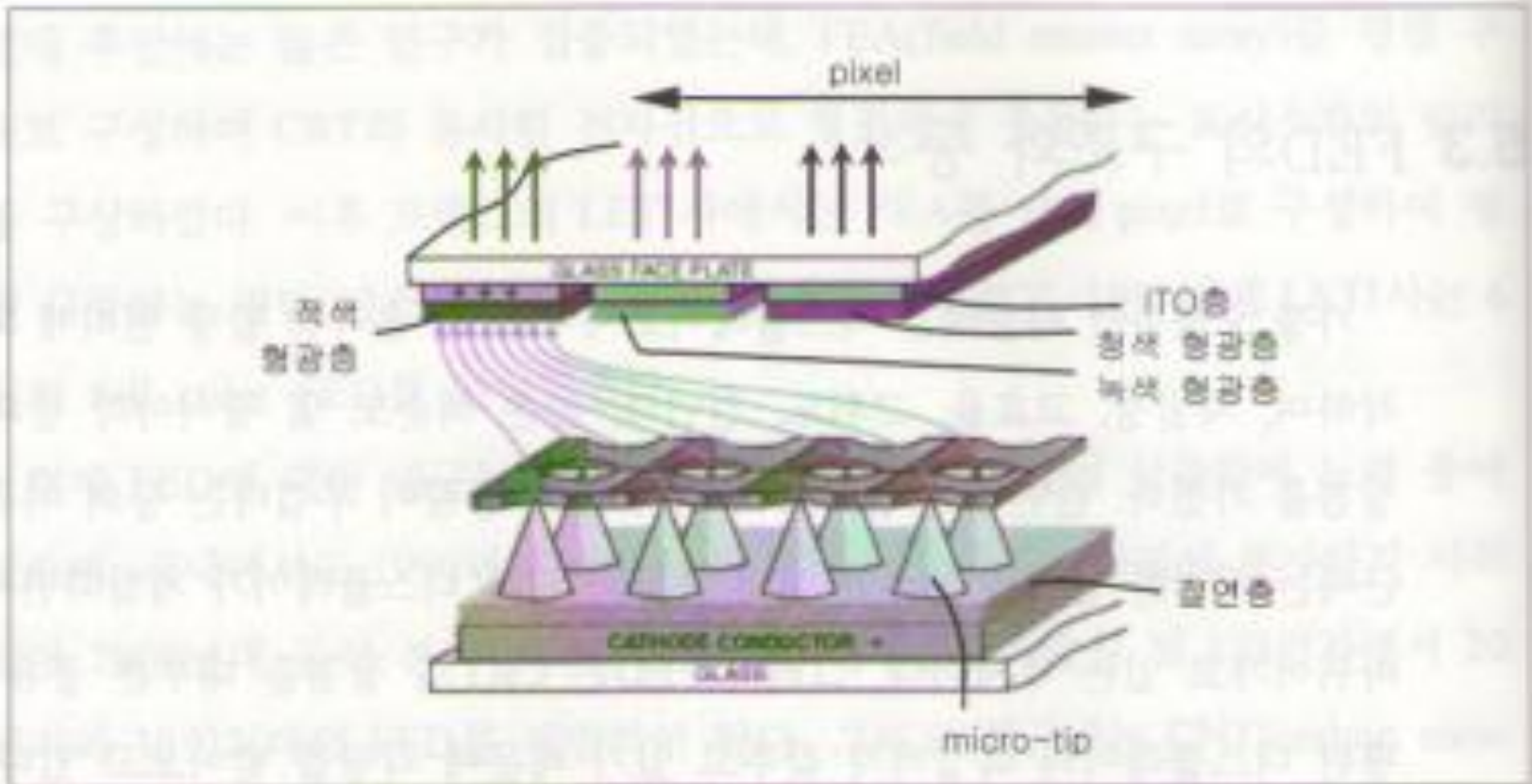


5.2 FED(Field Emission Display)의 개발사

[표 5-2] FED의 개발사

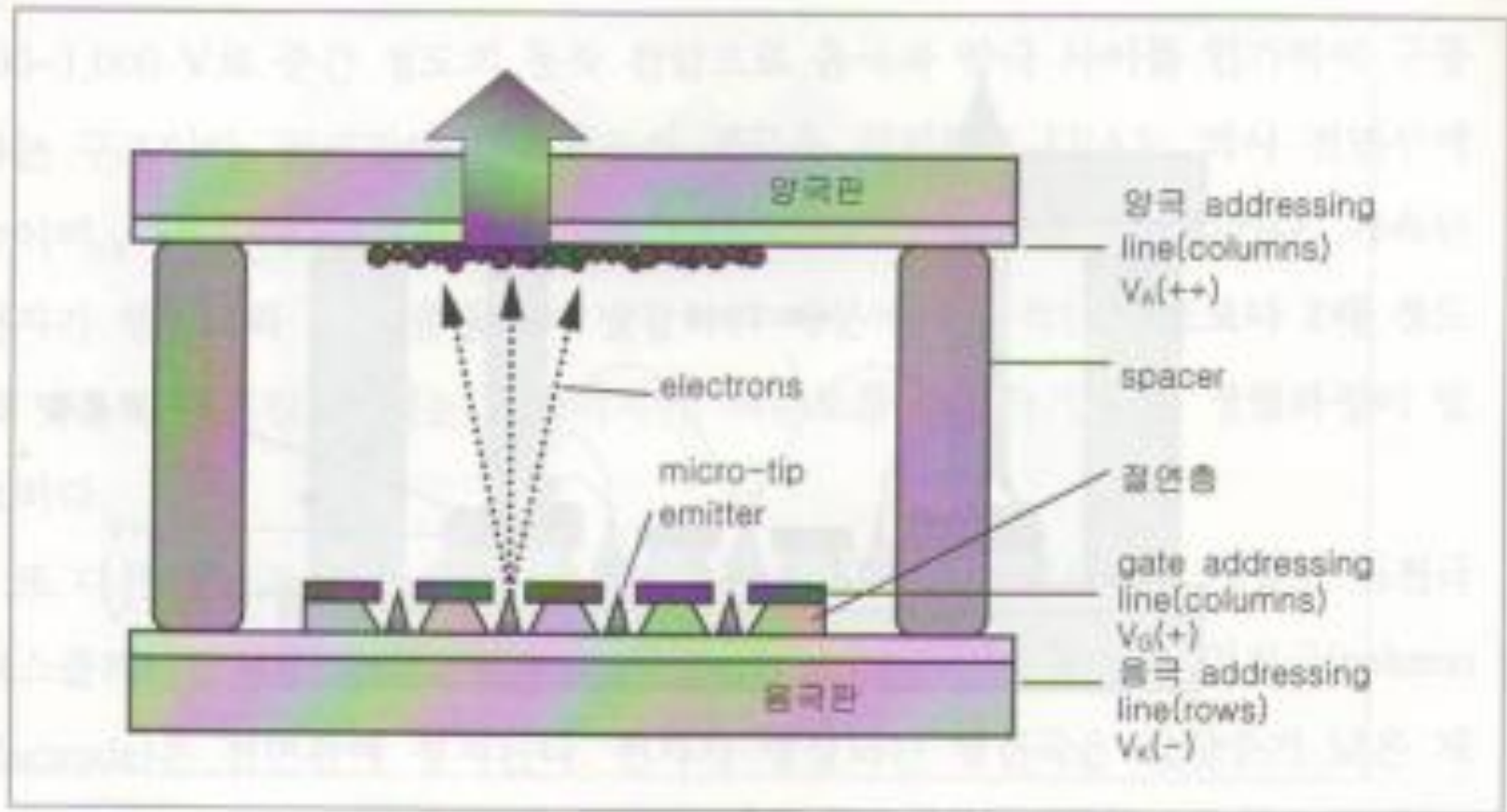
| 연도 | 개발내용 |
|-------|---|
| 1897년 | - Wood가 고전계하에서 전계방출 실험. |
| 1926년 | - 양자역학적 tunneling으로 전계방출 이론 정립. |
| 1928년 | - Fowler와 Nordheim이 전계방출 현상을 이론식으로 표현. |
| 1958년 | - Buck와 Shoulders가 1 μ m scale 첫 제안. |
| 1959년 | - Feynman이 분자 수준의 미세 구조로 접근. |
| 1961년 | - Shoulders가 진공 미세소자인 microtriodes 제안. |
| 1968년 | - SRI사의 Spindt가 Spindt형 cathode array 제작. |
| 1979년 | - Brodie와 Spindt가 100-tip cathode array 제작. - Brodie와 Spindt가 microwave 소자 개발. |
| 1985년 | - Meyer 등이 최초의 monochrome display 개발. |
| 1986년 | - Lally 등이 최초의 microwave tube 개발. |
| 1987년 | - Holland 등이 첫 high resolution display(300 color) 개발. |
| 1993년 | - LETI사가 6" full color FED 개발. |
| 1994년 | - Micro Display Tech.사가 0.7" Si emitter color FED 개발 |
| 1996년 | - Samsung사가 4" color FED 개발. |
| 1997년 | - Motorola사가 5" color FED 개발. |
| 2001년 | - Samsung사가 7" CNT-FED 개발. |
| 2002년 | - LG전자가 20" FED 개발 |
| 2003년 | - Samsung SDI가 30" CNT-FED 개발 |

5.3.1 FED의 구조와 동작



▲▽ 그림 5-3 FED의 기본 단면 구조

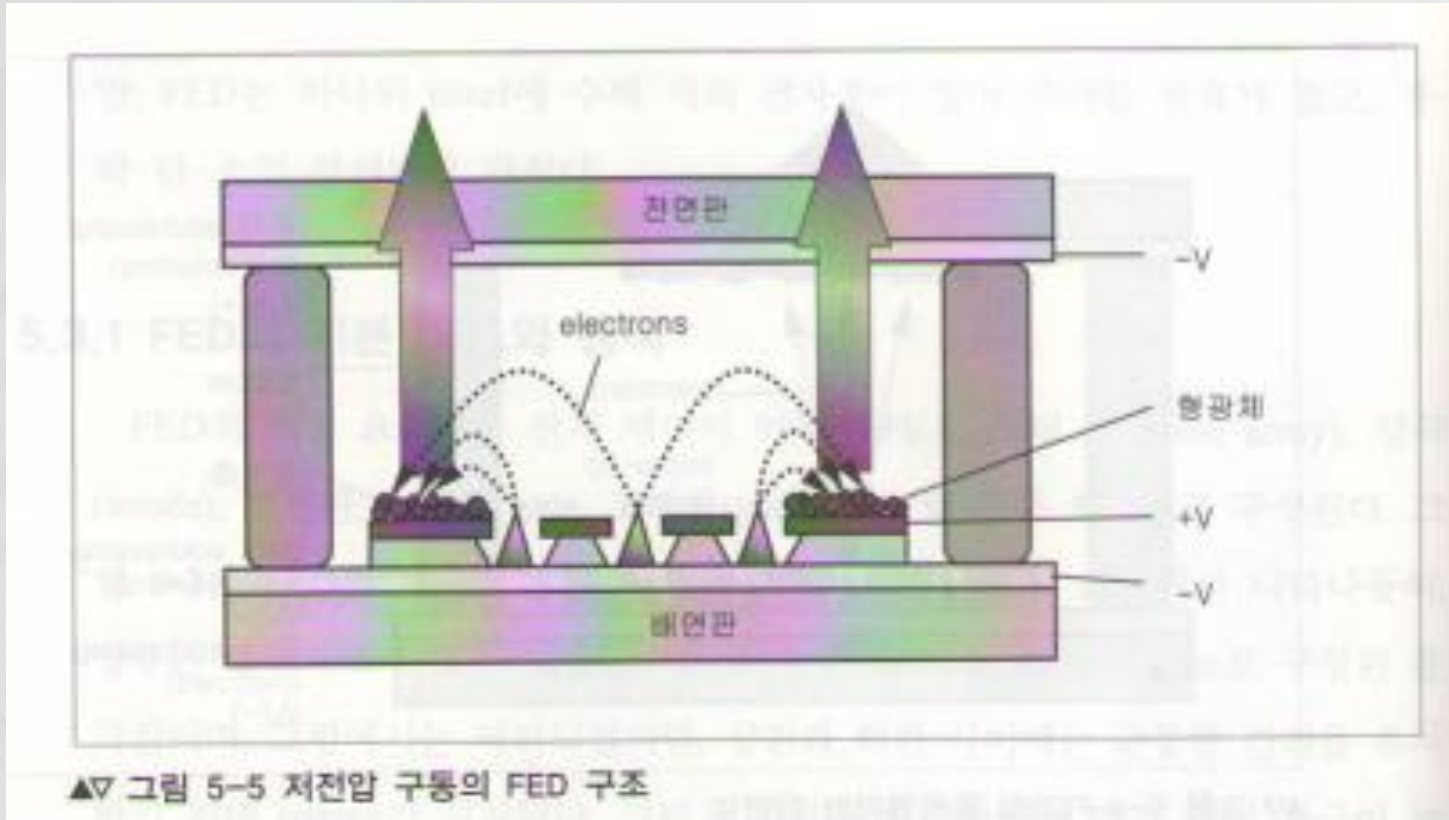
FED의 동작원리와 단면도



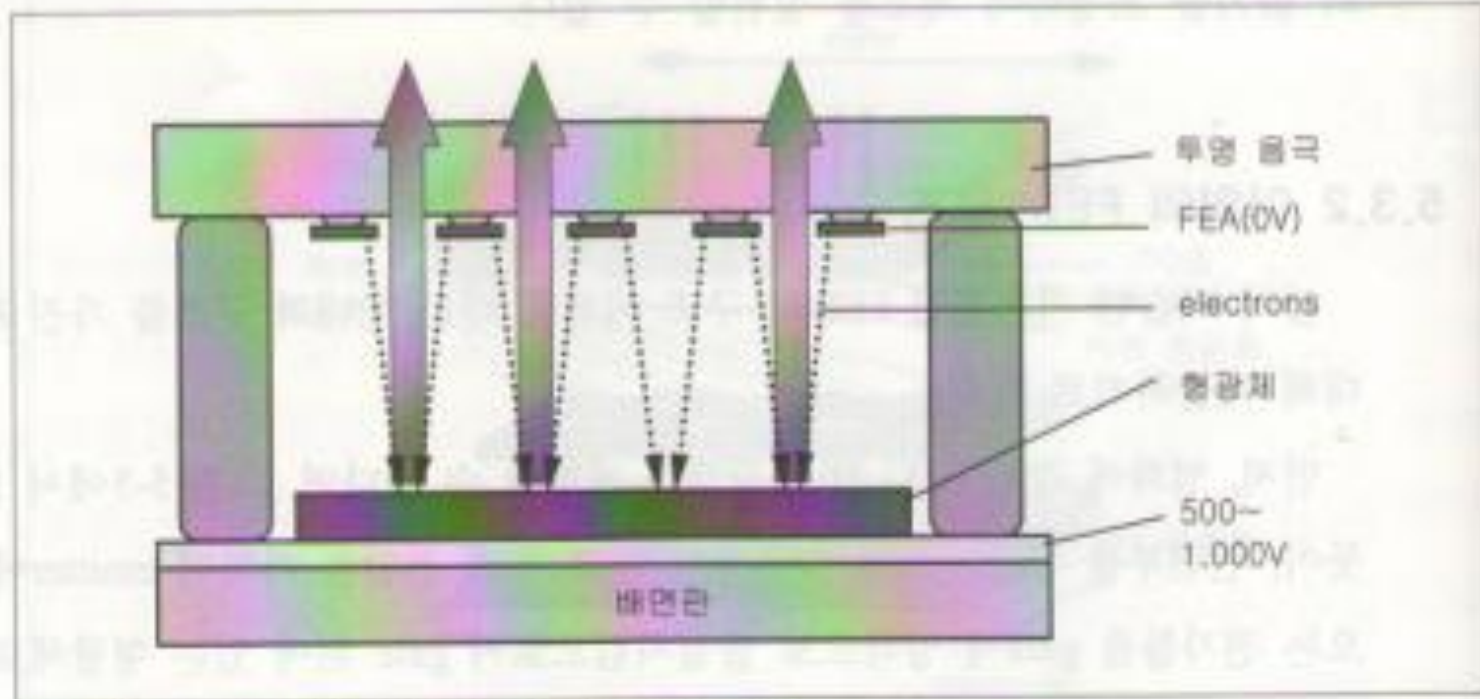
▲▽ 그림 5-4 FED의 동작원리와 단면도

5.3.2 이외의 FED 구조

○ 저전압 구동의 FED 구조

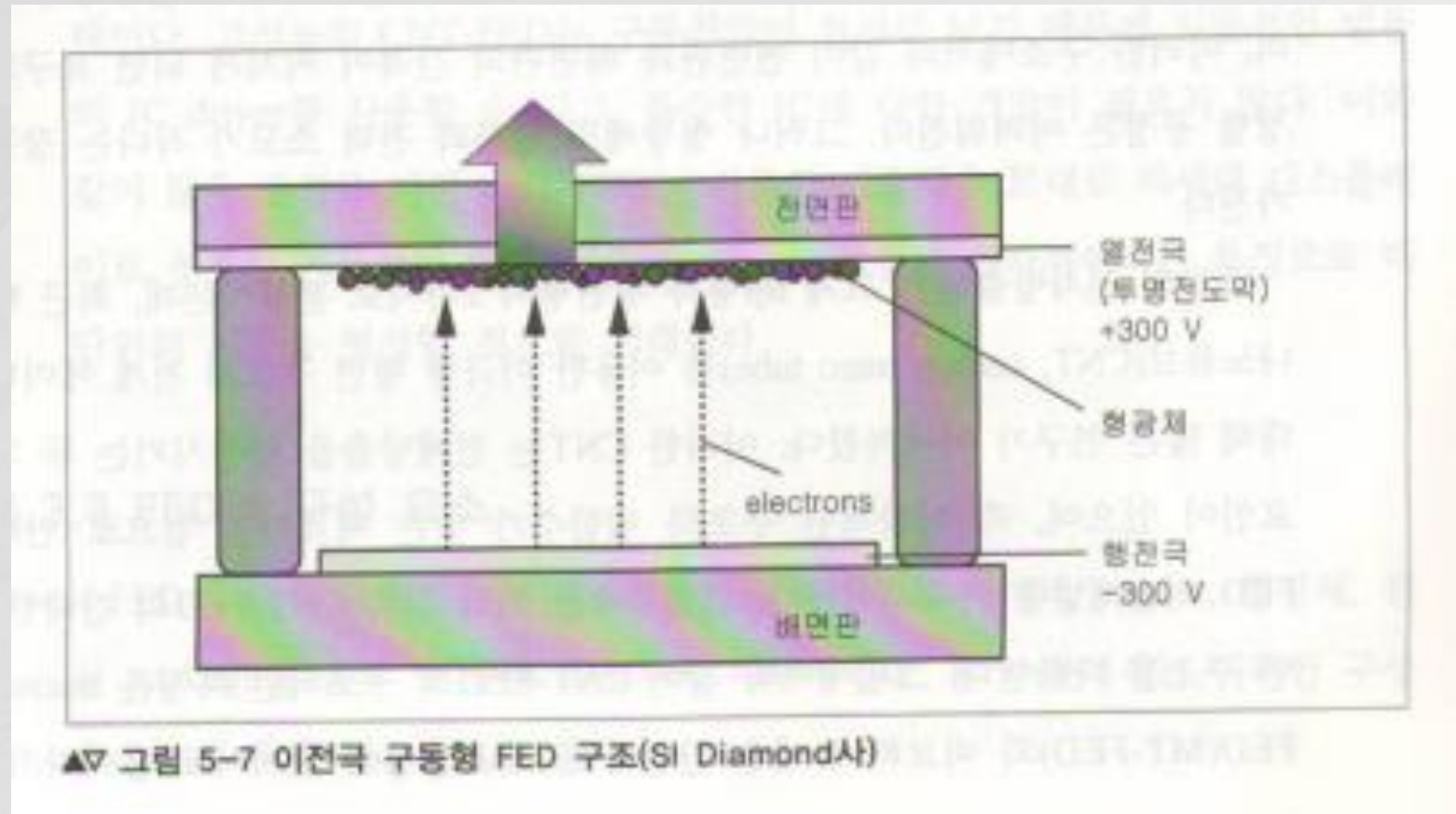


- 중간 전압 구동의 FED 구조

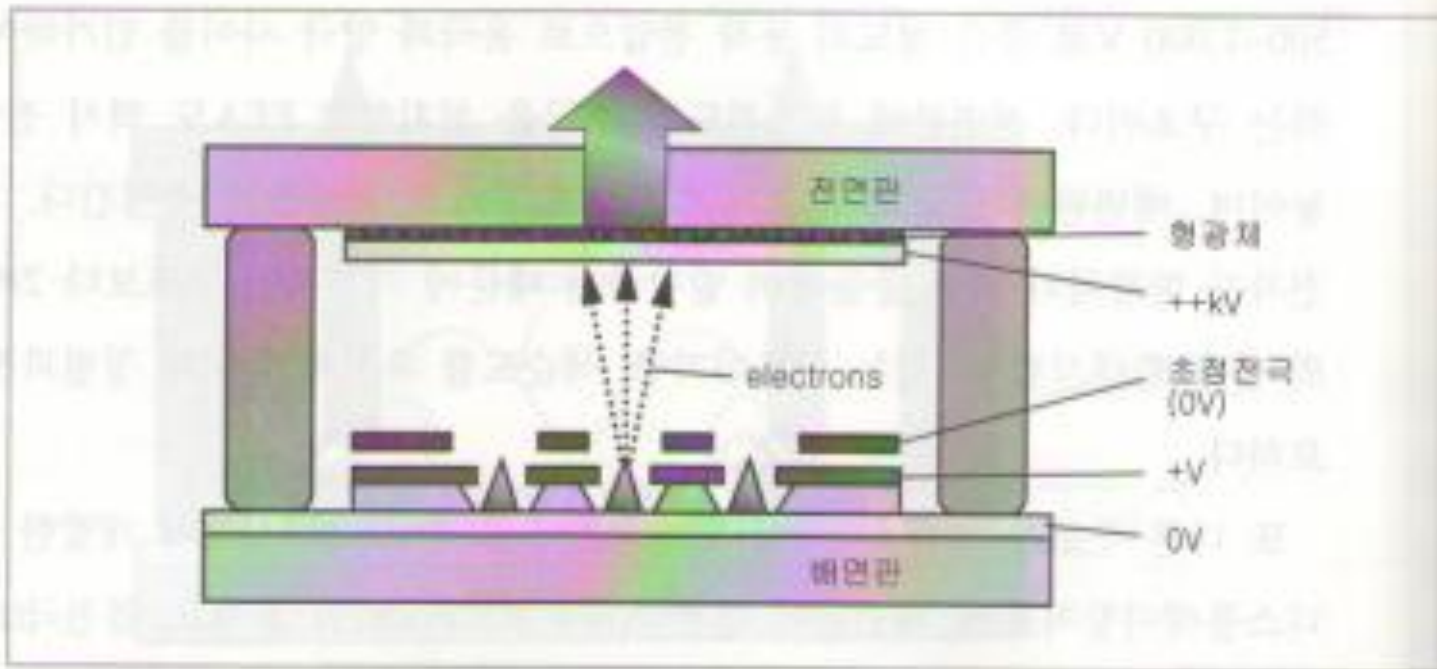


▲▽ 그림 5-6 중간 전압으로 구동하는 FED 구조

○ 이전극 구동형 FED 구조(SI Diamond사 제작)

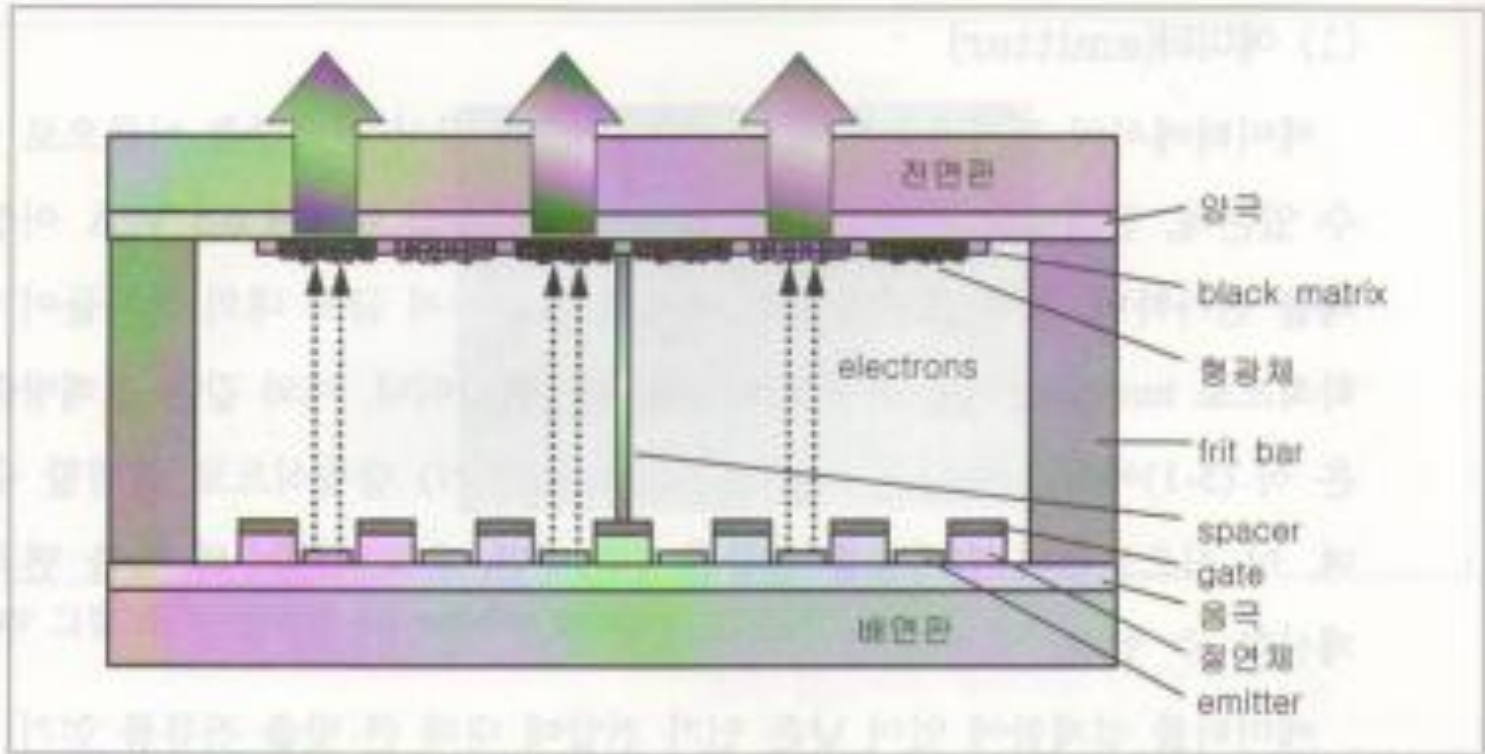


- 고전압 구동의 FED 구조



▲▽ 그림 5-8 고전압 구동 FED의 구조

○ CNT-FED 구조

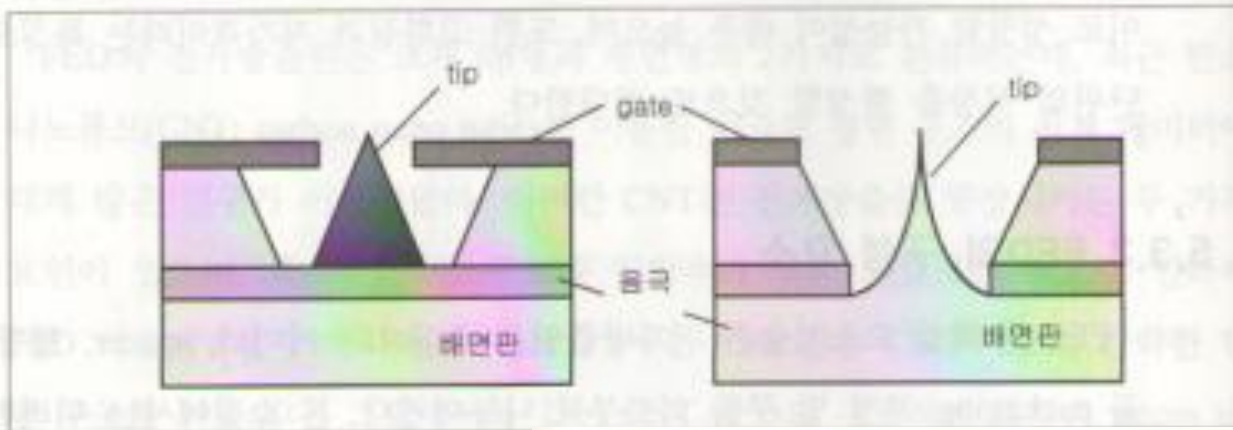


▲▽ 그림 5-9 CNT-FED 구조

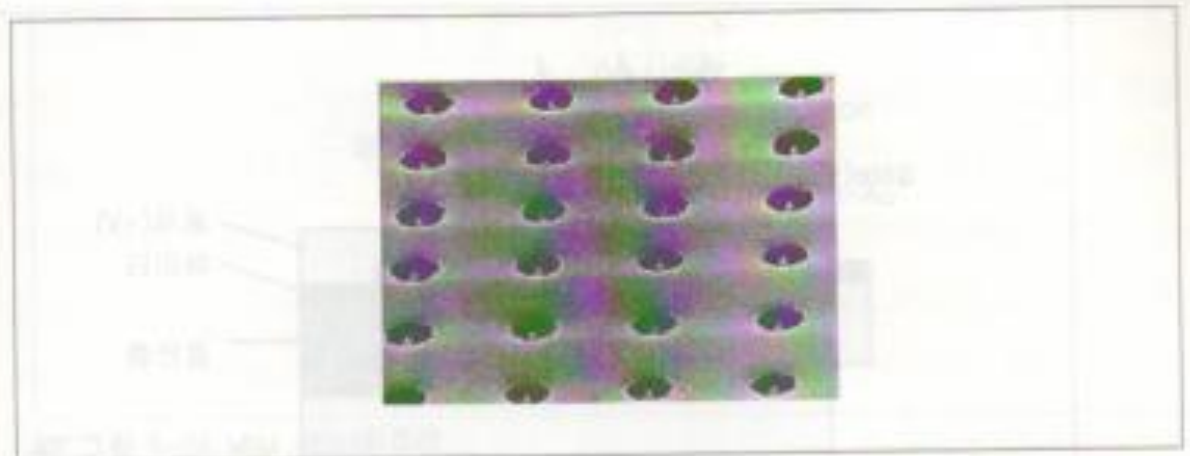
5.3.3 FED의 구성 요소

- FED의 핵심 요소 기술은 전자방출원을 중심으로 에미터, spacer, 형광체, 진공 packaging 공정 및 구동 회로부.

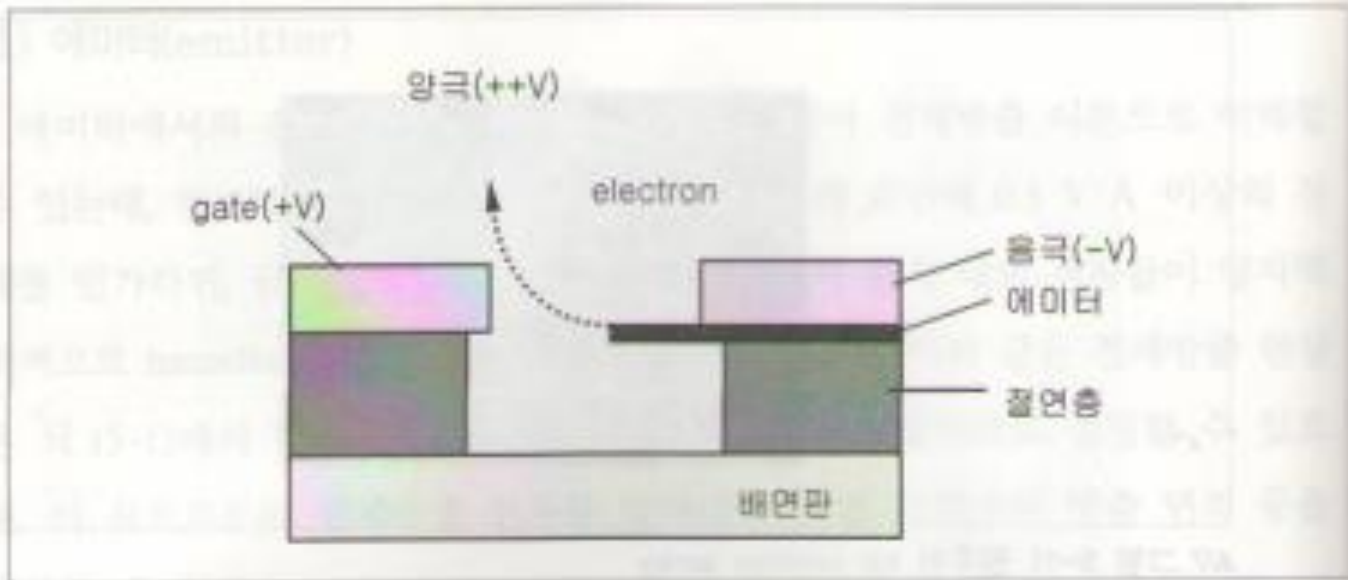
(1) 에미터(emitter)



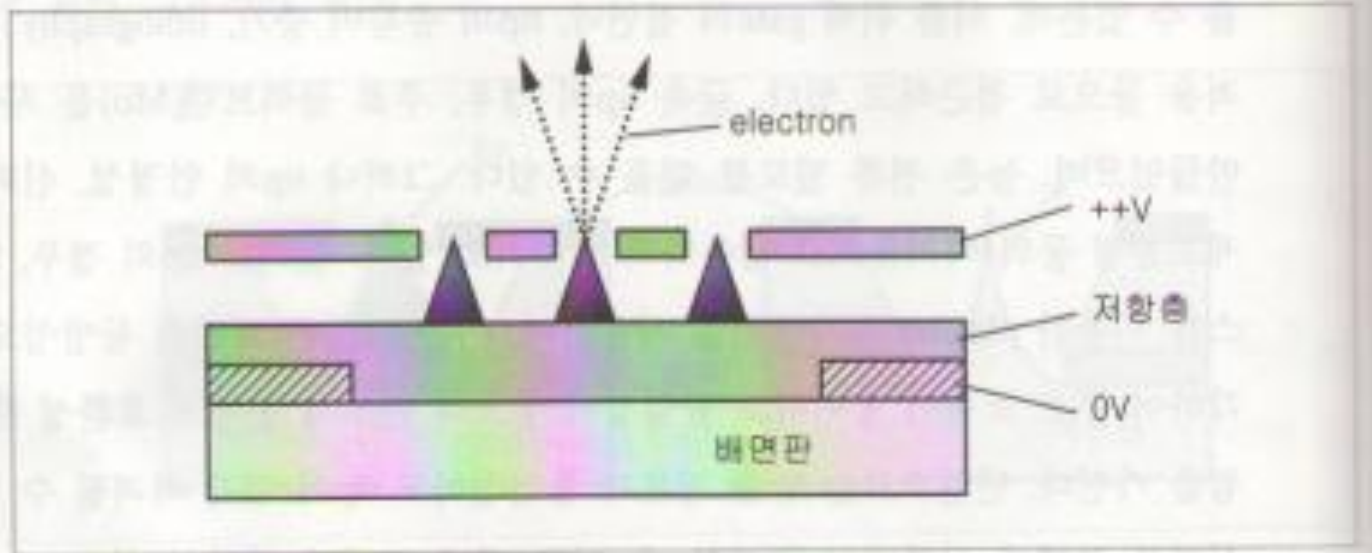
▲▽ 그림 5-10 원추형 tip의 구조



▲▽ 그림 5-11 원추형 tip emitter array

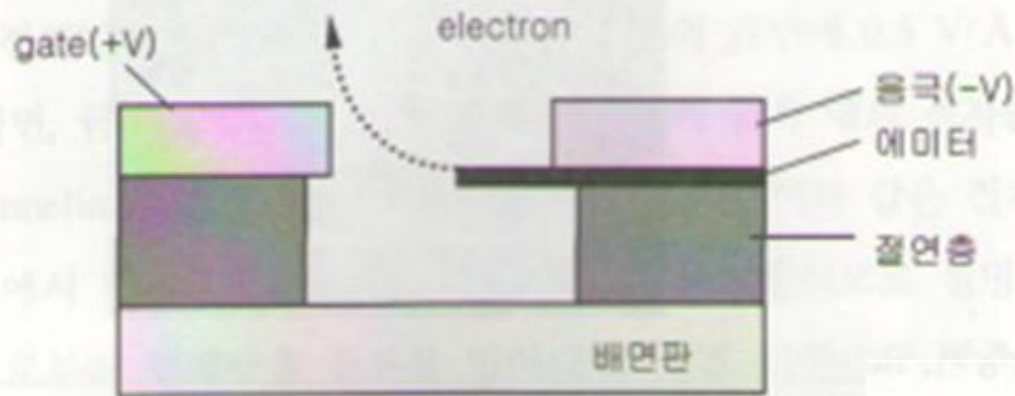


▲▽ 그림 5-12 테두리형 에미터의 구조

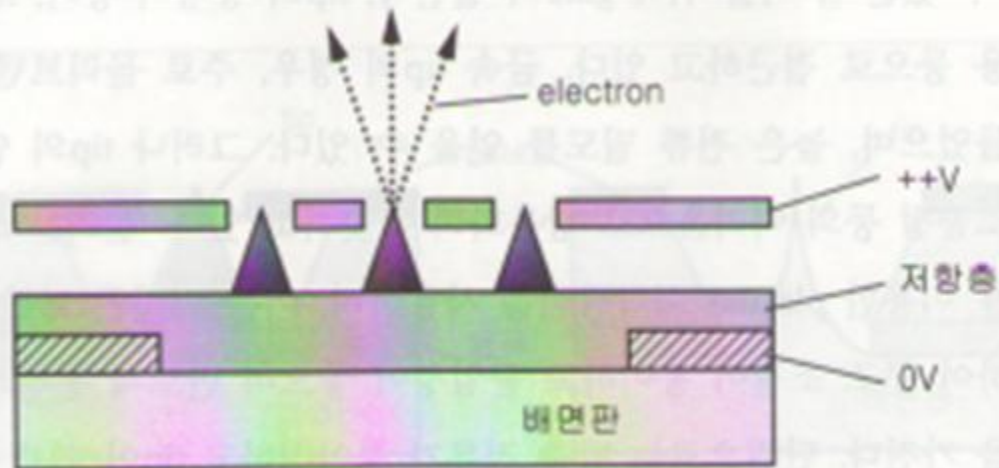


▲▽ 그림 5-13 저항층을 가진 tip형 에미터 구조

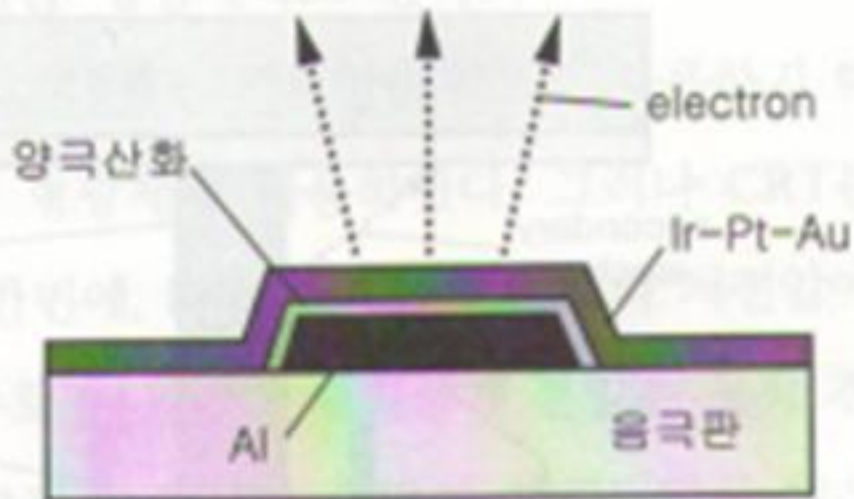
양극(++V)



▲▽ 그림 5-12 테두리형 에미터의 구조

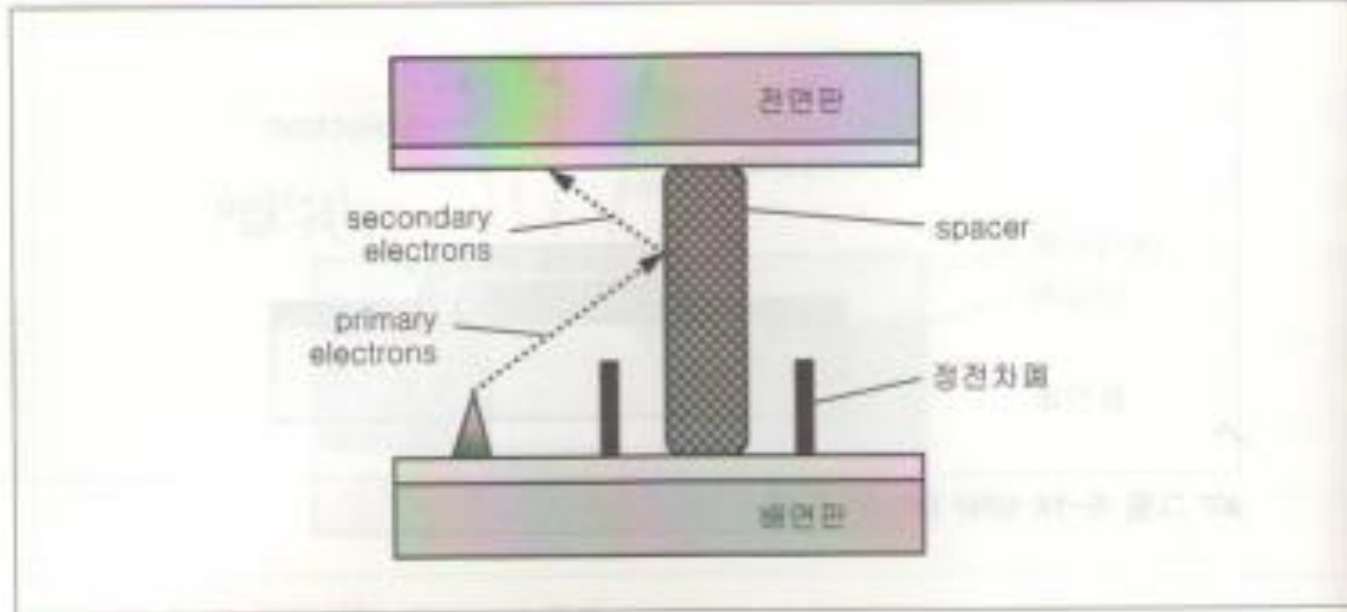


▲▽ 그림 5-13 저항층을 가진 tip형 에미터 구조



▲▽ 그림 5-14 MIM 에미터 구조

(2) Spacer



▲▽ 그림 5-15 개선된 spacer 구조

(3) 형광체

[표 5-3] 형광체 물질의 종류와 효율

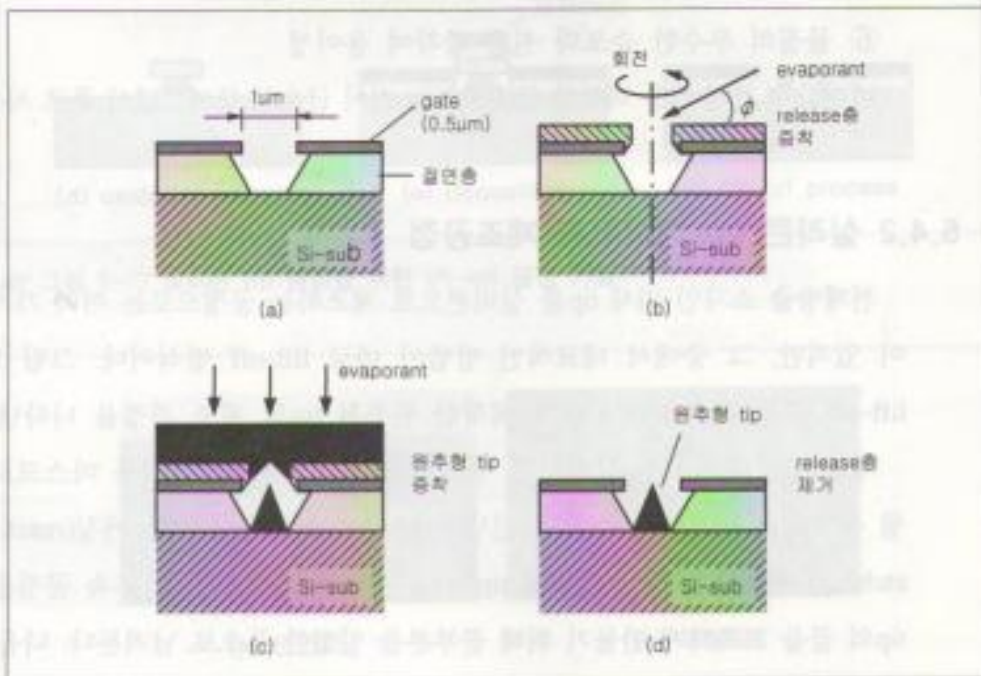
| 재 료 | 효 율 | 표 상 | 전 압[V] |
|-------------------------------------|-----|-------|--------|
| ZnO | 16 | 형색/복색 | 32 |
| SnO ₂ :Eu | 2.0 | 표상 | 10 |
| ZnGa ₂ O ₄ | 0.7 | 표상 | 30 |
| La ₂ O ₃ S:Tb | 5.2 | 표상 | 300 |
| Y ₂ O ₃ S:Eu | 2.2 | 표상 | 300 |
| LaOBr:Tb | 0.5 | 표상 | 300 |
| Gd ₂ O ₃ S:Tb | 7.9 | 표상 | 500 |
| ZnS:Ag | 0.8 | 표상 | 500 |
| Y ₂ O ₃ :Eu | 9 | 표상 | 5,000 |
| ZnS:Ag, Al | 4 | 표상 | 5,000 |

5.4 FED 소자의 제조공정

- 원추형 tip 에미터의 제조공정
- 에미터의 소재로는 주로 금속과 실리콘으로 형성되는 tip의 공정

5.4.1 금속 tip 에미터의 제조공정

- 원추형 tip 에미터의 제조공정은 박막공정을 기초로 만들어짐.
- 그림 5-16은 Spindt형 tip의 제조공정을 보여줌



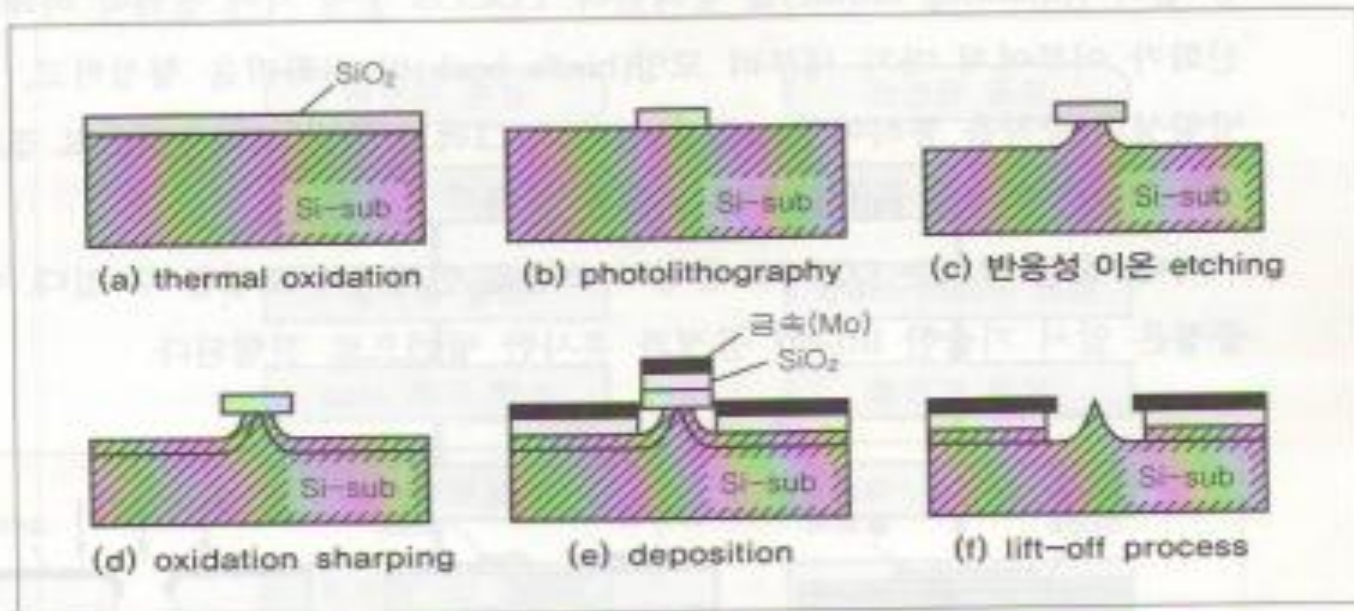
- (a) 유리 혹은 실리콘 기판위에 음극용 금속박막을 증착함. 절연층과 gate 금속을 그위에 증착함. 감광막(photoresist)을 스핀코팅을 이용하여 1 μ m 정도 증착함. 사진식각공정을 통하여 홀 패턴을 만듦
- (b) 분리층을 형성함.
- (c) 원추형 tip을 구성하기위해 기판에 수직방향으로 몰리브덴(Mo)을 증착시킴.
- (d) 분리층을 제거하면 위에 덮인 Mo층까지 제거되어 금속 tip이 형성됨.

원추형 에미터로 사용가능한 금속의 특성

- ① 용융점이 충분히 높고, 낮은 증기압을 가짐.
- ② 낮은 일함수
- ③ 기판과의 우수한 접착력
- ④ 분리층 식각 시에 잘 견딤.
- ⑤ 전계나 열적인 침예화에 적합한 물리적 특성.
- ⑥ 물질의 우수한 순도와 진공 증착에 용이성이 우수함.

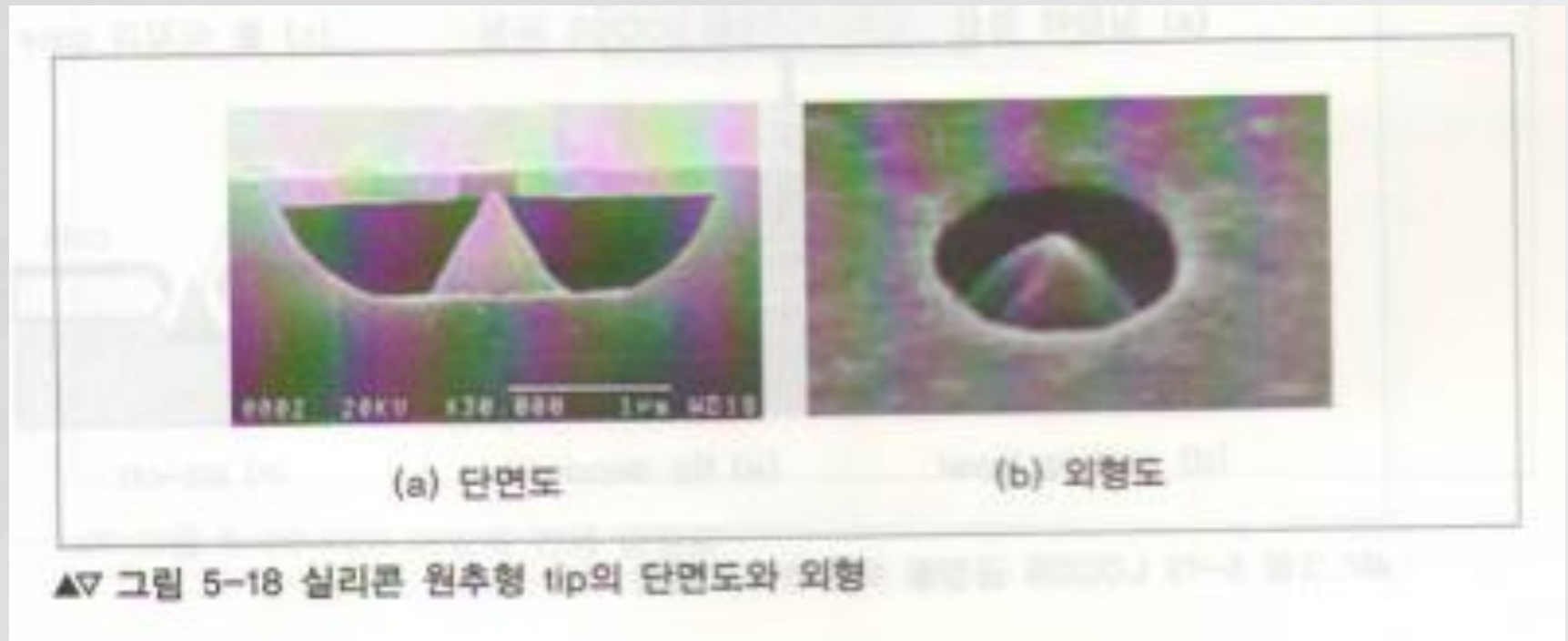
5.4.2 실리콘 tip 에미터의 제조공정

- 실리콘 tip 에미터의 제조공정중 대표적인 방식이 lift-off 방식임.
- 그림 5-17은 lift-off 공정을 이용한 tip의 제조공정을 보여줌
 - (a) 실리콘 기판위에 산화막을 형성하고 패터닝을 함.
 - (b) Photolithography 공정.
 - (c) 반응성 이온을 이용한 etching 과정.
 - (d) Oxidation sharpening 과정.
 - (e) 분리를 위한 deposition 과정
 - (f) Lift-off 과정을 통한 실리콘 tip이 형성됨.



▲▽ 그림 5-17 실리콘 tip 형성을 위한 lift-off 공정 기술

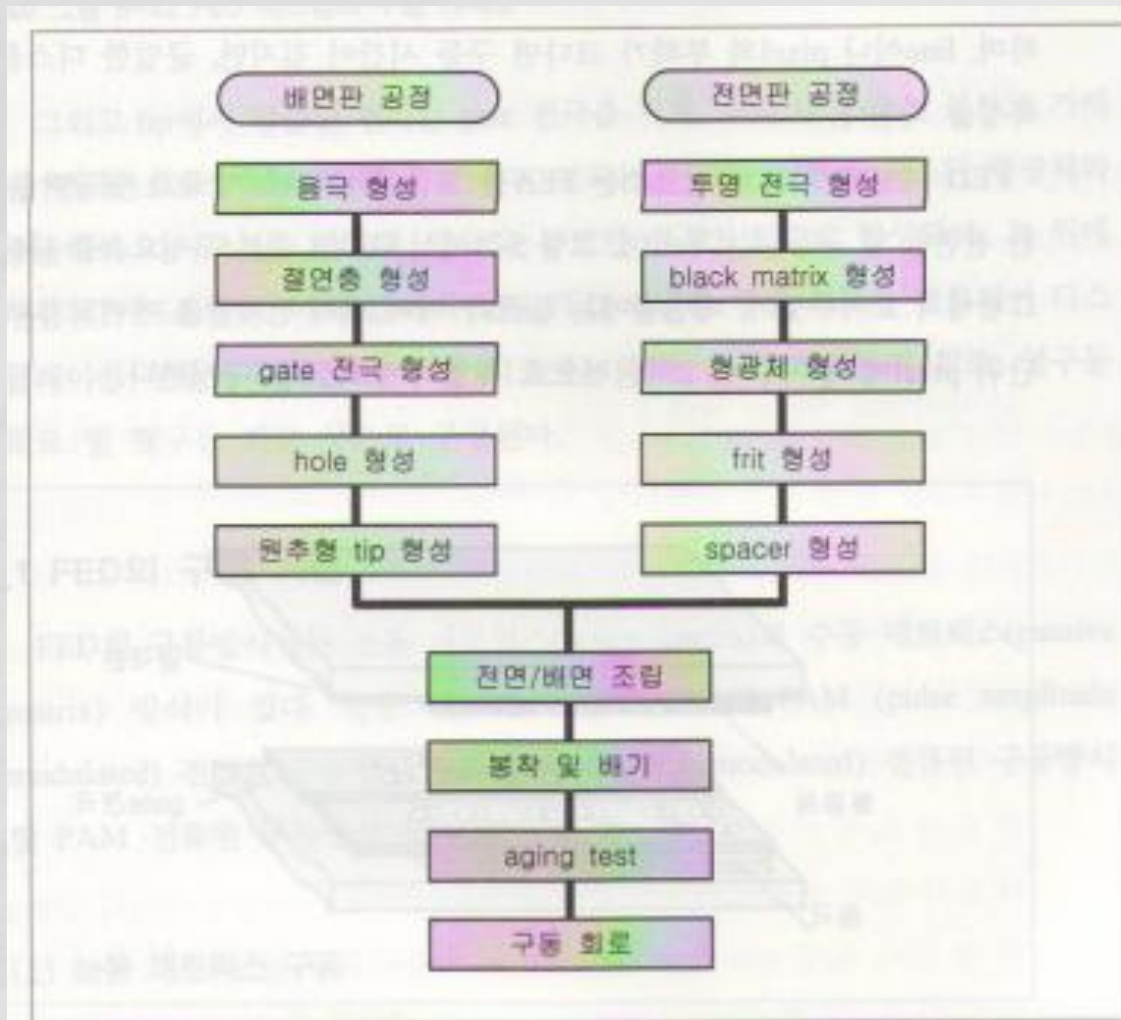
실리콘 원추형 tip의 단면도와 외형



LOCOS 공정을 이용한 원추형 tip의 제조과정
그림 5-19(p. 230)

5.4.3 FEA 패널의 제조공정

- 그림 5-20은 FEA를 포함한 배면판과 형광체를 포함한 전면판을 합착하여 FED Panel을 만드는 전체공정도를 나타낸 것임.



▲7 그림 5-20 FED 패널의 전체 공정도